

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 1 日
Date of Application:

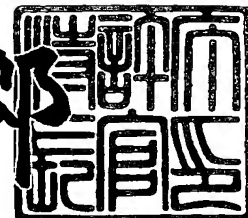
出 願 番 号 特 願 2 0 0 3 - 0 9 3 5 7 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 3 5 7 5]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 7 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 4 0 3 2

【書類名】 特許願

【整理番号】 A000300493

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/45

【発明の名称】 演算増幅回路並びにこれを用いたサンプルホールド回路
およびフィルタ回路

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 板倉 哲朗

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 山路 隆文

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【納付方法】 予納

【予納台帳番号】 011567

【納付金額】 21,000円

【その他】

国等の委託研究の成果に係る特許出願（平成14年度通信・放送機構「第4世代移動体通信システム実現のための研究開発」委託研究、産業活力再生特別措置法第30条の適用を受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算増幅回路並びにこれを用いたサンプルホールド回路およびフィルタ回路

【特許請求の範囲】

【請求項 1】 第 1 の入力信号を入力する第 1 の反転増幅回路と、
第 2 の入力信号を入力する第 2 の反転増幅回路と、
擬似同相出力信号と前記第 1 の反転増幅回路の出力信号を入力して第 1 の出力信号と第 2 の出力信号を出力する第 3 の反転増幅回路と、
前記擬似同相出力信号と前記第 2 の反転増幅回路の出力信号を入力して第 3 の出力信号と第 4 の出力信号を出力する第 4 の反転増幅回路と、
前記擬似同相出力信号を入力し前記第 1 及び第 2 の反転増幅回路の出力に帰還する第 1 及び第 2 の非反転増幅回路とにより構成され、前記擬似同相出力信号は前記第 2 の出力信号と前記第 4 の出力信号を加算することにより生成されることを特徴とする演算増幅回路。

【請求項 2】 前記第 1 の反転増幅回路の出力信号を入力し前記第 1 の反転増幅回路の出力に帰還する第 5 の反転増幅回路と、前記第 2 の反転増幅回路の出力信号を入力し前記第 2 の反転増幅回路の出力に帰還する第 6 の反転増幅回路と、前記第 1 の反転増幅回路の出力信号を入力し前記第 2 の反転増幅回路の出力に帰還する第 7 の反転増幅回路と、前記第 2 の反転増幅回路の出力信号を入力し前記第 1 の反転増幅回路の出力に帰還する第 8 の反転増幅回路とを具備することを特徴とする請求項 1 記載の演算増幅回路。

【請求項 3】 第 1 の入力信号を入力する第 1 の反転増幅回路と、
第 2 の入力信号を入力する第 2 の反転増幅回路と、
擬似同相出力信号と前記第 1 の反転増幅回路の出力信号を入力して第 1 の出力信号と第 2 の出力信号を出力する第 3 の反転増幅回路と、
前記擬似同相出力信号と前記第 2 の反転増幅回路の出力信号を入力して第 3 の出力信号と第 4 の出力信号を出力する第 4 の反転増幅回路と、
前記疑似同相信号を生成する非反転増幅回路手段とにより構成されることを特徴とする演算増幅回路。

【請求項 4】 前記非反転増幅回路手段は、同相信号を入力し、前記疑似同相出力信号を前記第 1 および第 2 の反転増幅回路に出力する第 1 および第 2 の非反転増幅回路により構成されることを特徴とする請求項 3 に記載の演算増幅回路。

【請求項 5】 前記非反転増幅回路手段は、前記第 1 の入力信号と前記第 2 の入力信号を入力し、前記第 1 と第 2 の入力信号の和に比例した信号を前記疑似同相出力信号として前記第 1 および第 2 の反転増幅回路の出力単に出力する非反転増幅回路により構成されることを特徴とする請求項 3 に記載の演算増幅回路。

【請求項 6】 前記第 1 の反転増幅回路の出力信号を入力し前記第 1 の反転増幅回路の出力に帰還する第 7 の反転増幅回路と、前記第 2 の反転増幅回路の出力信号を入力し前記第 2 の反転増幅回路の出力に帰還する第 6 の反転増幅回路と、前記第 1 の反転増幅回路の出力信号を入力し前記第 2 の反転増幅回路の出力に帰還する第 7 の反転増幅回路と、前記第 2 の反転増幅回路の出力信号を入力し前記第 1 の反転増幅回路の出力に帰還する第 8 の反転増幅回路とを具備することを特徴とする請求項 3 乃至 5 のいずれか 1 に記載の演算増幅回路。

【請求項 7】 第 1 の入力信号を入力する第 1 の反転増幅回路と、
第 2 の入力信号を入力する第 2 の反転増幅回路と、
疑似同相出力信号と前記第 1 の反転増幅回路の出力信号を入力して第 1 の出力信号と第 2 の出力信号を出力する第 3 の反転増幅回路と、
疑似同相出力信号と前記第 2 の反転増幅回路の出力信号を入力して第 3 の出力信号と第 4 の出力信号を出力する第 4 の反転増幅回路と、
前記第 1 の入力信号と前記第 2 の入力信号を入力し、前記第 1 と第 2 の入力信号の和に比例した信号を前記第 1 および第 2 の反転増幅回路の出力に各々加算する非反転増幅回路とにより構成され、
前記疑似同相出力信号は前記第 2 の出力信号と前記第 4 の出力信号を加算することにより生成されることを特徴とする演算増幅回路。

【請求項 8】 前記第 1 の反転増幅回路の出力信号を入力し前記第 1 の反転増幅回路の出力に帰還する第 5 の反転増幅回路と、前記第 2 の反転増幅回路の出力信号を入力し前記第 2 の反転増幅回路の出力に帰還する第 6 の反転増幅回路と

、前記第1の反転増幅回路の出力信号を入力し前記第2の反転増幅回路の出力に帰還する第7の反転増幅回路と、前記第2の反転増幅回路の出力信号を入力し前記第1の反転増幅回路の出力に帰還する第8の反転増幅回路とを具備することを特徴とする請求項7記載の演算増幅回路。

【請求項9】 前記擬似同相出力信号を入力し前記第1及び第2の反転増幅回路の出力に帰還する第2及び第3の非反転増幅回路を具備することを特徴とする請求項7または8記載の演算増幅回路。

【請求項10】 請求項1から9記載のいずれか1に記載の演算増幅回路とこの演算増幅回路の入力端に選択的に接続されるキャパシタとによって構成されるサンプルホールド回路

【請求項11】 請求項1から9記載のいずれか1に記載の演算増幅回路を用いたフィルタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、差動信号を取り扱う低電源電圧の演算増幅回路に係り、特に周波数特性の改善と同相信号低減の改善を実現する演算増幅回路並びにこれを用いたサンプルホールド回路およびフィルタ回路に関する。

【0002】

【従来の技術】

集積回路の進歩は著しく、製造プロセスの微細化も年々進んでいる。製造プロセスの微細化によりトランジスタ単体の性能は向上するが耐圧が低くなってきている。このため、印加できる電源電圧が低くなっている。電源電圧を低くすると、集積回路中において電圧で扱える信号の振幅は小さくなってしまい、所望の信号対雑音比(S/N)を実現することが困難となる。これを解決するために従来では単相で扱ってきた信号を差動で扱うことにより、単相の倍の信号振幅を実現していた。

【0003】

しかしながら、差動入力・差動出力を扱う平衡構成の演算増幅回路では同相信

号を抑圧する必要がある。平衡構成の演算増幅回路を用いた積分器を使ったフィルタの場合も、演算増幅回路の同相信号除去が十分でないと出力の電圧範囲が低減し、差動信号を歪ませることになる。特に低電源電圧になると扱える電圧範囲が小さいため、同相信号の抑圧は必須である。

【0004】

従来では、同相信号除去を実現するためにコモンモードフィードバックが用いられていた（例えば、特許文献1参照）。このコモンモードフィードバック回路の設計は単相出力の差動回路に比べ煩雑なため、発振などの不具合を起こしやすかった。これを避けるため、複数の入力端子と出力端子を有する増幅回路を組み合わせ、同相信号成分を低減する平衡型増幅回路が提案されていた（特願P2002-303140）。

【0005】

【特許文献1】

特開2000-148262公報

【0006】

【発明が解決しようとする課題】

上述した従来の増幅回路は、簡単な反転増幅回路を組み合わせた構成で実現できるので、低電源電圧化が実現できる。しかしながら、十分な利得を実現するため2段の高利得段で構成しようとするとう極性を反転させる必要があるため、利得がほぼ1の低利得段を用いる必要が生じる。このために、入力から出力までの内部ノードの数が2個となってしまう。ノードの数が増えると各ノードにおける寄生容量のため周波数特性が劣化するという問題があった。

【0007】

本発明は、低電源電圧に向けた2段の利得段を用いた平衡構成の演算増幅回路、特に同相信号を十分に抑圧するとともに差動信号の各々の経路における内部ノードの数を1個にすることにより周波数特性を改善した演算増幅回路並びにこれを用いたサンプルホールド回路およびフィルタ回路を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明の局面によると、第1の入力信号を入力する第1の反転増幅回路と、第2の入力信号を入力する第2の反転増幅回路と、擬似同相出力信号と前記第1の反転増幅回路の出力信号を入力して第1の出力信号と第2の出力信号を出力する第3の反転増幅回路と、前記擬似同相出力信号と前記第2の反転増幅回路の出力信号を入力して第3の出力信号と第4の出力信号を出力する第4の反転増幅回路と、前記擬似同相出力信号を入力し前記第1及び第2の反転増幅回路の出力に帰還する第5及び第6の非反転増幅回路とにより構成され、前記擬似同相出力信号は前記第2の出力信号と前記第4の出力信号を加算することにより生成されることを特徴とする演算増幅回路を提供する。

【0009】

このように構成された本発明の演算増幅回路によれば、第3及び第4の反転増幅回路による同相信号の抑圧に加え、疑似同相出力信号を第5及び第6の非反転増幅回路を介して第1および第2の反転増幅回路の出力に各々帰還することにより同相信号のさらなる抑圧を実現できるだけでなく、差動信号の各々の経路における内部ノードの数を1個にすることができるので周波数特性をも改善できる。

【0010】**【発明の実施の形態】**

以下、図面を参照して本発明の実施形態を説明する。なお、発明の実施形態では全て電界効果トランジスタを用いた例について説明するが、バイポーラトランジスタを用いた構成も可能である。

【0011】**(第1の実施形態)**

図1は、本発明の第1の実施形態に従った平衡構成の演算増幅回路を示している。この演算増幅回路には、第1の入力信号IN1が入力される+入力端子を有する第1の反転増幅回路A1および第2の入力信号IN2が入力される+入力端子を有する第2の反転増幅回路A2が設けられる。第1の反転増幅回路A1の-出力端子は第3の反転増幅回路A3の第1の+入力端子に接続される。第2の反転増幅回路A2の-出力端子は第4の反転増幅回路A4の第1の+入力端子に接

続される。第3の反転増幅回路A3の第1の-出力端子は第1出力端子OUT1に接続される。第4の反転増幅回路A4の第1の-出力端子は第2出力端子OUT2に接続される。第3および第4の反転増幅回路A3、A4の第2の+入力端子および第2の-出力端子は互いに接続される。

【0012】

第3および第4の反転増幅回路A3、A4の第2の+入力端子および第2の-出力端子の接続ノードは非反転増幅回路A5、A6の+入力端子に接続される。非反転増幅回路A5、A6の+出力端子は第1および第2の反転増幅回路A1、A2の-出力端子に接続される。

【0013】

上記構成において、第1および第2反転増幅回路A1、A2に第1および第2の入力信号IN1が入力されると、第1および第2反転増幅回路A1、A2は出力信号Vo1、Vo2をそれぞれ出力する。これにより、第3の反転増幅回路A3の第1および第2の+入力端子には、擬似同相出力信号Vocと第1の反転増幅回路A1の出力信号Vo1が入力され、第3の反転増幅回路A3は第1の出力信号 $(-\alpha Voc + \beta Vo1)$ （ただし、 α 、 β は正の定数）を第1の出力端子OUT1に出力すると共に第2の出力信号 $(-\gamma (\alpha Voc + \beta Vo1))$ （ただし、 α 、 β 、 γ は正の定数）を出力する。同様に、第4の反転増幅回路A4の第1および第2の+入力端子には、擬似同相出力信号Vocと第2の反転増幅回路A2の出力信号Vo2が入力され、第4の反転増幅回路A4は第1の出力信号 $(-\alpha Voc + \beta Vo2)$ を第1の出力端子OUT1に出力すると共に第2の出力信号 $(-\gamma (\alpha Voc + \beta Vo2))$ を出力する。

【0014】

非反転増幅回路A5、A6は擬似同相出力信号Vocを入力し、それを第1および第2の反転増幅回路A1、A2の出力に各々帰還する。擬似同相出力信号Vocは第2の出力信号と第4の出力信号を加算することにより生成される。

【0015】

上記演算増幅回路において、同相電圧が反転増幅回路A3、A4に帰還されたとき、この同相電圧が高くなると、非反転増幅器A5、A6は出力電圧Vo1、

V_{o2} を上げようとする。これに対して、反転増幅器A3, A4が出力電圧を下げようとする。この結果、負帰還がかかることになる。このため、加算して極性反転する部分は不必要になり、内部ノードも一つでよく、高速化が実現できる。

【0016】

図1の反転増幅回路A3、A4は図3に示すように反転増幅器Aa1～Aa4により構成される。反転増幅器Aa1、Aa2の+入力端子は互いに接続され、反転増幅器Aa3、Aa4の入力端子は互いに接続される。反転増幅器Aa1の出力端子は反転増幅器Aa3の出力端子に接続され、反転増幅器Aa2の出力端子は反転増幅器Aa4の出力端子に接続される。反転増幅器Aa1～Aa4の各々は図17に示すようにPMOSトランジスタP1とNMOSトランジスタN1の直列回路によって構成される。即ち、PMOSトランジスタP1のソースは電源Vddに接続され、ゲートはバイアス源Vbiasに接続され、ドレインはNMOSトランジスタN1のドレインに接続されると共に出力端子OUT-に接続される。NMOSトランジスタN1のソースは接地され、ゲートは入力端子IN+に接続される。この回路は入力端子と出力端子以外に内部ノードを持たない単純な構成である。即ち、反転増幅回路A3やA4は内部にノードを持たない。

【0017】

差動信号に対する利得は、反転増幅回路A1 (A2) とA3 (A4) の利得の積となる。ここでは、反転増幅回路A1とA2およびA3とA4並びに非反転増幅回路A5とA6はそれぞれ同じ特性を有する。図1の演算増幅回路は、同相信号に対しては、図2に示す等価回路で表すことができる。ここで、 g_{m1} は反転増幅回路A1のトランスコンダクタンス、 g_{m3} は反転増幅回路A3の一方の入力から V_{oc} 出力に対するトランスコンダクタンス、 γg_{m3} は反転増幅回路A3の他方の入力から V_{oc} 出力に対するトランスコンダクタンス、 g_{m5} は非反転増幅回路A5のトランスコンダクタンスで、 r_{o1} は反転増幅回路A1の出力抵抗、 r_{o5} は非反転増幅回路A5の出力抵抗、 r_{o3} と r_{o4} は反転増幅回路A3とA4の V_{oc} 出力での出力抵抗を表す。入力から出力に対する伝達関数は次式によって求められる。

【0018】

$$V_{oc}/I_N = \{g_{m1}g_{m3}(r_{o1}/r_{o5})(r_{o3}/r_{o4})\} / \{1 + \gamma g_{m3}(r_{o3}/r_{o4}) + g_{m5}g_{m3}(r_{o1}/r_{o5})(r_{o3}/r_{o4})\}$$

$\gamma \leq 1$ とし、 $g_{m5}(r_{o1}/r_{o5}) \gg 1$ とすると、本発明では非反転増幅回路A5とA6を用いた帰還により、従来の演算増幅回路より約 $1 / \{g_{m5}(r_{o1}/r_{o5})\}$ だけ同相信号を低減できる。また、先に説明した通り、反転増幅回路A3やA4はそれ自身で内部ノードを持たないので、図1に示す反転増幅回路の内部ノードは、差動信号の各々の経路で1個にすることができ、これにより周波数特性を改善できる。

【0019】

図4は第1の実施形態の演算増幅回路の変形例を示している。この変形例によると、第1～第6の増幅回路A1～A6は図1と同じ接続関係を有しているが、反転増幅回路A7～A10が追加されている。即ち、反転増幅回路A7、A8が第1および第2反転増幅回路A1、A2の出力端子にそれぞれ接続されると共に第1および第2反転増幅回路A1、A2の出力端子間に反転増幅回路A9、A10が極性逆に並列に接続されている。

【0020】

上記回路構成の演算増幅回路によると、差動入力信号IN1、IN2に対して、反転増幅回路A1、A2の出力電圧は $V_{o1} = -V_{o2}$ の関係となる。従って、反転増幅回路A9から出力される信号成分は反転増幅回路A8から出力される信号成分により相殺される。同様に、反転増幅回路A10から出力される信号成分は反転増幅回路A7から出力される信号成分により相殺される。即ち、図5(b)に示すように、反転増幅回路A7～A10は差動信号に対しては何も寄与しない。

【0021】

一方、入力信号IN1、IN2が同相信号のときには、反転増幅回路A1、A2の出力電圧は $V_{o1} = V_{o2}$ の関係となる。この場合、反転増幅回路A9から出力される信号成分は反転増幅回路A8から出力される信号成分と加算される。同様に、反転増幅回路A10から出力される信号成分は反転増幅回路A7から出力される信号成分と加算される。この結果、反転増幅回路A7～A10は同相信

号に対しては図5(a)に示すような回路構成となる。即ち、反転増幅回路A1とA2の出力における抵抗成分は反転増幅回路A7から反転増幅回路A10のトランスコンダクタンスの逆数に比例した値を取るため非常に小さくなる。故に、差動信号の各々の経路において内部ノードを増加させることなく、反転増幅回路A1とA2の出力における同相利得をさらに低減させ、増幅回路全体の同相利得を小さくすることができる。

【0022】

(第2の実施形態)

図6は、本発明の第2の実施形態に従った平行構成の演算増幅回路を示す。この演算増幅回路には、第1の入力信号IN1が入力される+入力端子を有する第1の反転増幅回路A1および第2の入力信号IN2が入力される+入力端子を有する第2の反転増幅回路A2が設けられる。第1の反転増幅回路A1の-出力端子は第3の反転増幅回路A3の第1の+入力端子に接続される。第2の反転増幅回路A2の-出力端子は第4の反転増幅回路A4の第1の+入力端子に接続される。第3の反転増幅回路A3の第1の-出力端子は第1出力端子OUT1に接続される。第4の反転増幅回路A4の第1の-出力端子は第2出力端子OUT2に接続される。第3および第4の反転増幅回路A3、A4の第2の+入力端子および第2の-出力端子は互いに接続される。非反転増幅回路A5、A6の+入力端子には同相入力信号Vicが入力される。この同相入力信号Vicは多入力多出力の増幅器を用いて生成することができる。非反転増幅回路A5、A6の+出力端子は第1および第2の反転増幅回路A1、A2の-出力端子に接続される。

【0023】

上記構成において、第1および第2反転増幅回路A1、A2に第1および第2の入力信号IN1が入力されると、第1および第2反転増幅回路A1、A2は反転出力信号をそれぞれ出力する。これにより、第3の反転増幅回路A3の第1の+入力端子には、非反転増幅回路A5の出力信号である擬似同相入力信号Vicに比例した信号と第1の反転増幅回路A1の出力信号の加算信号Vo1が入力され、第3の反転増幅回路A3は第1の出力信号 $(-(\alpha V_{oc} + \beta V_{o1}))$ （ただし、 α 、 β は正の定数）を第1の出力端子OUT1に出力すると共に第2の

出力信号 $(-\gamma (\alpha V_{oc} + \beta V_{o1}))$ (ただし、 α 、 β 、 γ は正の定数) を出力する。同様に、第 4 の反転増幅回路 A 4 の第 1 の + 入力端子には、非反転増幅回路 A 6 の出力信号である擬似同相入力信号 V_{ic} に比例した信号と第 2 の反転増幅回路 A 2 の出力信号の加算信号 V_{o2} が入力され、第 4 の反転増幅回路 A 4 は第 1 の出力信号 $(-(\alpha V_{oc} + \beta V_{o2}))$ を第 1 の出力端子 OUT 1 に出力すると共に第 2 の出力信号 $(-\gamma (\alpha V_{oc} + \beta V_{o2}))$ を出力する。

【0024】

第 2 の実施形態においても、第 1 の実施形態と同様に、差動信号に対する利得は、反転増幅回路 A 1 (A 2) と A 3 (A 4) の利得の積となり、同相信号に対しては、反転増幅回路 A 1 及び A 2 の出力信号と非反転増幅回路 A 5 及び A 6 の出力信号とがそれぞれ加算されることにより、同相信号が相殺される。従って、内部ノードを増やすことなく同相利得を低減することができる。

【0025】

図 7 は、図 6 の演算増幅回路に図 4 で説明した同相信号に対して反転増幅回路 A 1 と A 2 の利得を低減させるための反転増幅回路 A 7 ~ A 10 を加えた演算増幅回路を示している。このような構成により、図 4 の演算増幅回路と同様にさらなる同相利得の低減を内部ノードの数を増やすことなく実現できる。

【0026】

(第 3 の実施形態)

図 8 は、本発明の第 3 の実施形態に従った平衡構成の演算増幅回路を示している。この平衡構成の演算増幅回路によると、第 1 の入力信号 IN 1 が入力される + 入力端子を有する第 1 の反転増幅回路 A 1 および第 2 の入力信号 IN 2 が入力される + 入力端子を有する第 2 の反転増幅回路 A 2 が設けられる。第 1 の反転増幅回路 A 1 の - 出力端子は第 3 の反転増幅回路 A 3 の第 1 の + 入力端子に接続される。第 2 の反転増幅回路 A 2 の - 出力端子は第 4 の反転増幅回路 A 4 の第 1 の + 入力端子に接続される。第 3 の反転増幅回路 A 3 の第 1 の - 出力端子は第 1 出力端子 OUT 1 に接続される。第 4 の反転増幅回路 A 4 の第 1 の - 出力端子は第 2 出力端子 OUT 2 に接続される。第 3 および第 4 の反転増幅回路 A 3、A 4 の第 2 の + 入力端子および第 2 の - 出力端子は互いに接続される。非反転増幅回路

A 1 1 の第 1 および第 2 の + 入力端子は第 1 および第 2 の反転増幅回路 A 1, A 2 の入力端子にそれぞれ接続され、非反転増幅回路 A 1 1 の + 出力端子は第 1 および第 2 の反転増幅回路 A 1, A 2 の - 出力端子に接続される。

【0027】

図 8 の演算増幅回路において、第 1 および第 2 の入力信号 $I N 1$ 、 $I N 2$ が第 1 および第 2 の反転増幅回路 A 1、A 2 および非反転増幅回路 5 に入力されると、第 1 および第 2 の反転増幅回路 A 1、A 2 は反転出力信号を出力し、非反転増幅回路 A 1 1 は第 1 と第 2 の入力信号の和 ($I N 1 + I N 2$) に比例した信号を出力する。和信号 ($I N 1 + I N 2$) は第 1 および第 2 の反転増幅回路 A 1、A 2 の反転出力信号に各々加算される。各々の加算信号 $V o 1$ 、 $V o 2$ は第 3 および第 4 反転増幅回路 A 3、A 4 に入力される。これにより、第 3 の反転増幅回路 A 3 は第 1 の出力信号 ($-(\alpha V o c + \beta V o 1)$) と第 2 の出力信号 ($-\gamma (\alpha V o c + \beta V o 1)$) を出力する。また、第 4 の反転増幅回路 A 4 は、第 3 の出力信号 ($-(\alpha V o c + \beta V o 2)$) と第 4 の出力信号 ($-\gamma (\alpha V o c + \beta V o 2)$) を出力する。反転増幅器 A 3、A 4 においては擬似同相出力信号 $V o c$ は第 2 の出力信号と第 4 の出力信号を加算して生成する構成となっている。

【0028】

図 8 に示す回路構成は、図 6 に示した回路構成において同相入力信号が与えられない時に同相入力信号が非反転増幅回路 A 1 1 によって第 1 及び第 2 の入力信号 $I N 1$ 、 $I N 2$ から生成する例を示している。この非反転増幅回路 A 1 1 は、多入力多出力増幅回路によって構成され、例えば、図 9 に示すように反転増幅回路 A b 1 ~ A b 5 によって構成される。即ち、反転増幅器 A b 1、A b 2 の出力端子が互いに接続され、反転増幅器 A b 3 の入力端子に接続される。この反転増幅器 A b 3 の入出力端子は互いに接続され、増幅器 A b 4、A b 5 の入力端子に接続される。この構成により、反転増幅器 A b 1、A b 2 からの同相信号が互いに加算され、反転増幅器 A b 3 を介して反転増幅器 A b 3、A b 5 に入力される。反転増幅器 A b 3、A b 5 からは入力信号 $I N 1$ 、 $I N 2$ の和に比例する信号が出力される。

【0029】

図10は、図8の演算増幅回路に図4で説明した反転増幅回路A7～A10を加え、同相利得のさらなる低減を図った例を示している。

【0030】

また、図11は、第1の実施形態と第3の実施形態を同時に適用した演算増幅回路を示している。即ち、増幅回路A1～A10は第1の実施形態の図4の増幅回路A1～A19に対応している。増幅回路A11が第3の実施形態の図8の増幅回路A11に対応している。この構成によっても差動信号の各々の経路において内部ノードの数を増やすことなく、さらなる同相利得の低減が実現できる。

【0031】

図12は、図11に示す演算増幅回路をMOSトランジスタによって実現した回路図を示している。これによると、トランジスタMN1は反転増幅回路A1に対応し、トランジスタMN2は反転増幅回路A2に対応する。トランジスタMN11-1、MN11-2、MP11-1～MP11-3は非反転増幅回路A11を構成している。トランジスタMN7～MN10は、反転増幅回路A7～A10に各々対応する。トランジスタMN5、MP5、MP5-1、MP5-2は非反転増幅回路A5を構成し、トランジスタMN5、MP5、MP6-1、MP6-2は非反転増幅回路A6を構成する。

【0032】

なお、トランジスタMN5、MP5は非反転増幅回路A5とA6の入力部で共通に使用している。トランジスタMN3-1～MN3-4とMP3-1～MP3-4は反転増幅回路A3を構成し、トランジスタMN4-1～MN4-4とトランジスタMP4-1～MP4-4は反転増幅回路A4を構成する。

【0033】

図12に示したトランジスタ回路から明らかなように、トランジスタの縦積み avoided 構成で実現できるため、この演算増幅回路は低電源電圧化が実現できる。

【0034】

また、これまで説明したように、入力IN1から出力OUT1の経路において、また、入力IN2から出力OUT2の経路において、各々内部ノードの数を1

個で実現でき、これにより差動信号に対する周波数特性を改善できる。

【0035】

図13および図14は、本発明の演算増幅回路を用いたサンプルホールド回路を示している。サンプルホールド回路は、書き込み時では、図13に示されるようにスイッチSW1～SW6は閉成され、スイッチSW7～SW10が開成される。この状態において、入力信号IN1、IN2が入力されると、入力信号がキャパシタC1、C2に蓄積される。即ち、入力信号が記憶される。読み出し時には、図14に示されるようにスイッチSW1～SW6が開成され、スイッチSW7～SW10が閉成される。このとき、キャパシタC1、C2に蓄積された信号が演算増幅回路OPAに入力される。

【0036】

上記のようなサンプルホールド回路では、スイッチはMOSトランジスタによって構成される。MOSトランジスタはオンオフするときにチャンネル形成がある。このチャンネル形成のとき電荷成分が同相で入ってくる。そのため、チャンネル部分で電圧が上昇し、この電圧上昇を抑えないと、飽和状態となってしまう。本発明では、同相成分が演算増幅回路OPAにおいて相殺されるので、同相利得が低減し、サンプルホールド回路の低電源電圧化が実現できる。

【0037】

図15は、本発明の演算増幅回路を用いたフィルタを示している。フィルタは積分器で構成される。この積分器は図16に示されるように増幅器Amp1と抵抗R1～R4と容量C1、C2により構成される。この増幅器Amp1に本発明の演算増幅回路が用いられる。

【0038】

フィルタは例えば演算増幅回路Int1～Int5によって構成される。初段の演算増幅回路は図1および図8に示されるような同相信号を生成する演算増幅回路を使用する。後段の演算増幅回路Int2～Int5は前段の演算増幅回路の出力信号に含まれる同相成分を利用することができるので、図6および図7に示される演算増幅回路を使用する。

【0039】

【発明の効果】

以上説明してきたように、本発明の演算増幅回路によれば、低電源電圧に向いた利得段が2段の平衡構成の演算増幅回路で、同相信号を十分に抑圧するとともに差動信号の各々の経路における内部ノードの数を1個にすることにより周波数特性を改善することができる。

【図面の簡単な説明】

- 【図1】 本発明の第1の実施の形態に従った演算増幅回路の回路図。
 - 【図2】 図1に示す増幅回路の同相信号に対する等価回路。
 - 【図3】 図1に示す2入力2出力の反転増幅回路の回路図。
 - 【図4】 第1の実施の形態の変形例に従った演算増幅回路。
 - 【図5】 図4の演算増幅回路の動作を説明する図。
 - 【図6】 第2の実施の形態に従った演算増幅回路の回路図。
 - 【図7】 第2の実施の形態の変形例に従った演算増幅回路の回路図。
 - 【図8】 第3の実施の形態に従った演算増幅回路の回路図。
 - 【図9】 図8に示す2入力2出力の反転増幅回路の回路図。
 - 【図10】 第3の実施の形態の変形例に従った演算増幅回路の回路図。
 - 【図11】 第1の実施の形態と第3の実施の形態を同時に適用した演算増幅回路の回路図。
 - 【図12】 図11の演算増幅回路の具体的な回路図。
 - 【図13】 本発明の演算増幅回路を用いたサンプルホールド回路のサンプリング状態を示す回路図。
 - 【図14】 サンプルホールド回路のホールド状態を示す回路図。
 - 【図15】 積分器を用いたフィルタ。
 - 【図16】 積分器の具体回路図。
 - 【図17】 反転増幅器のトランジスタ回路の回路図。
- 【符号の説明】**

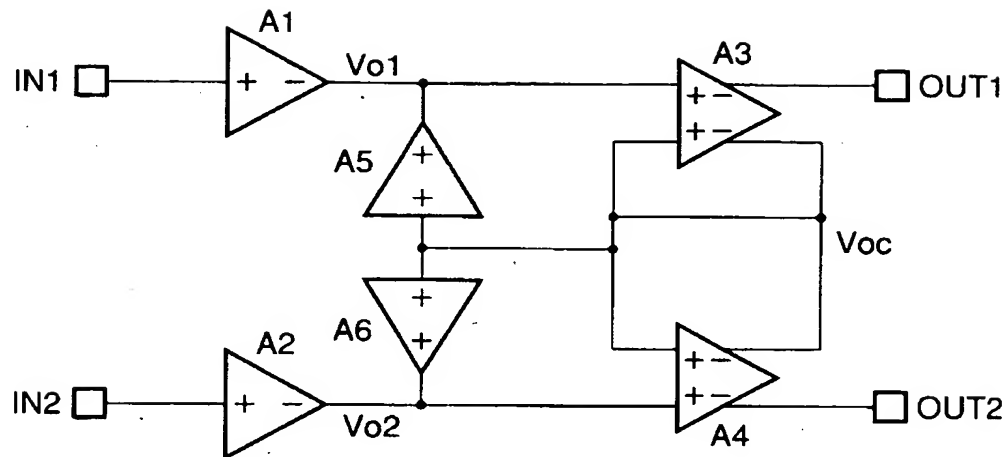
IN1, IN2: 入力端子、OUT1, OUT2: 出力端子、Int: 積分器、A1~A4、A7~A10: 反転増幅回路、A5, A6, A11: 非辺単増幅回路、N1: MNOSトランジスタ、P1: PMOSトランジスタ、SW~: ス

イッチ、 V_{dd} : 第1の電源電位点、 V_{ss} : 第2の電源電位点、 C_1 , C_2 :
容量、 $R_1 \sim R_4$: 抵抗

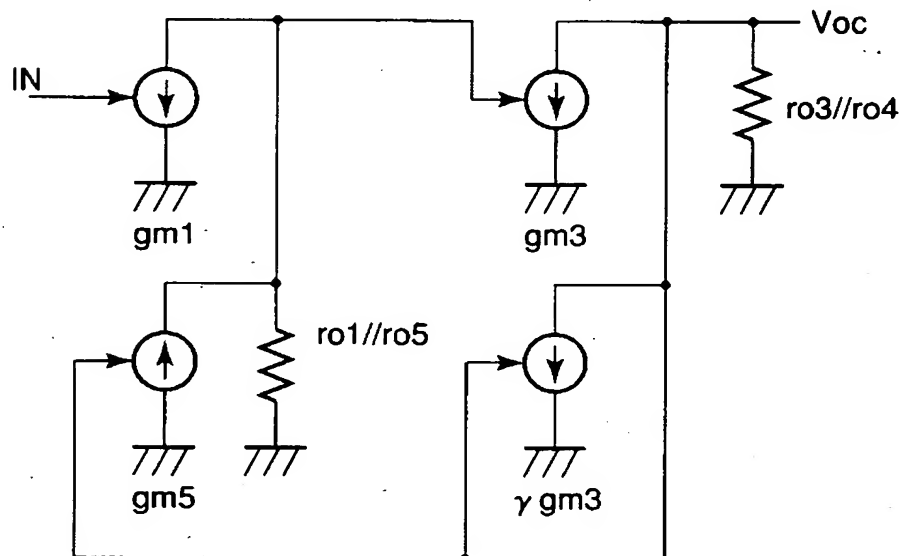
【書類名】

図面

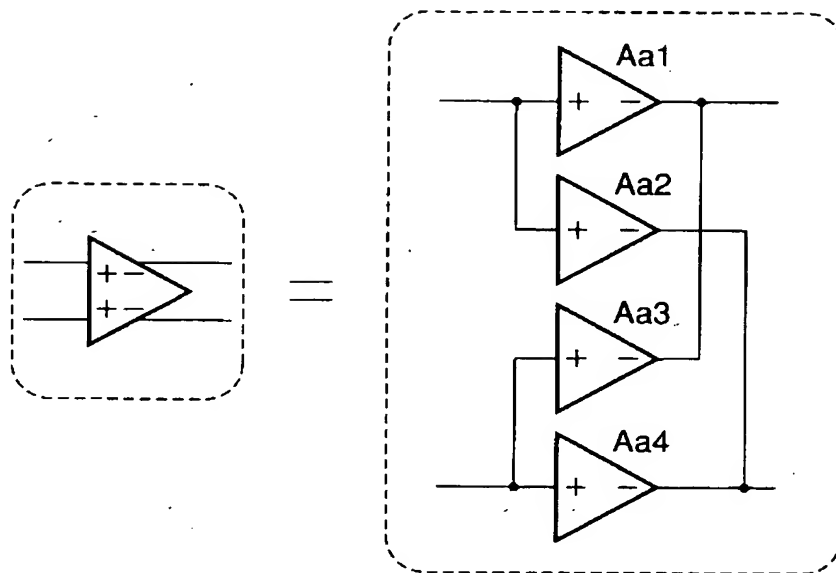
【図 1】



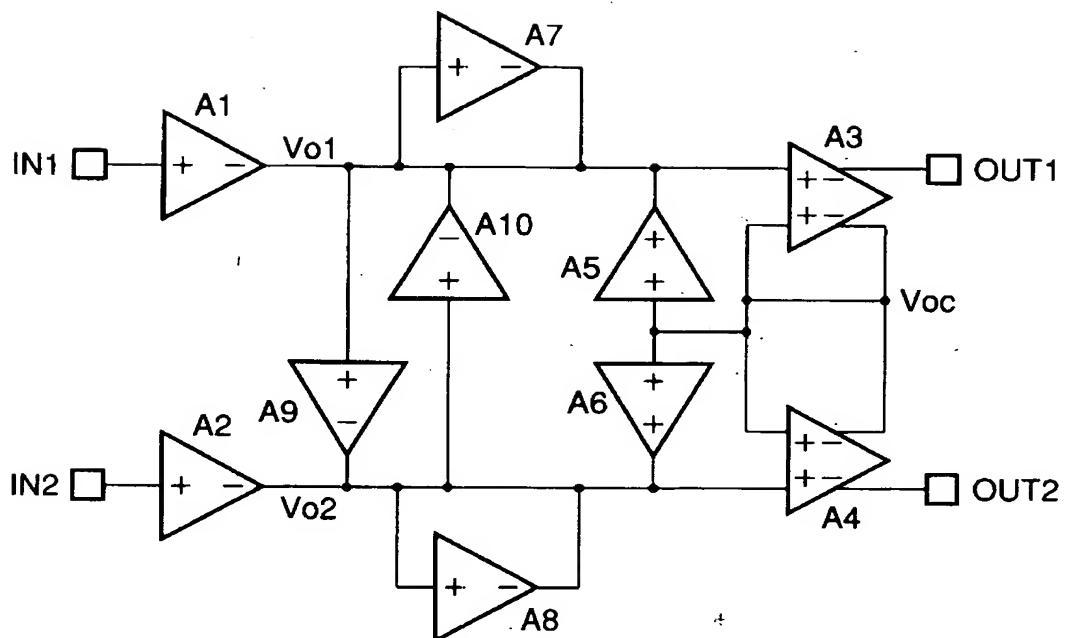
【図 2】



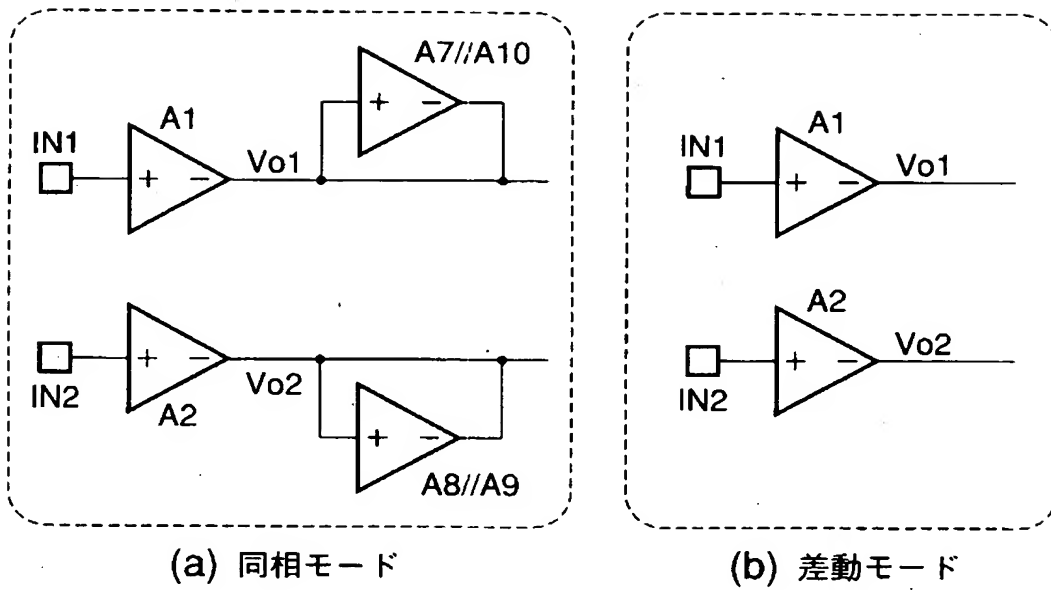
【図 3】



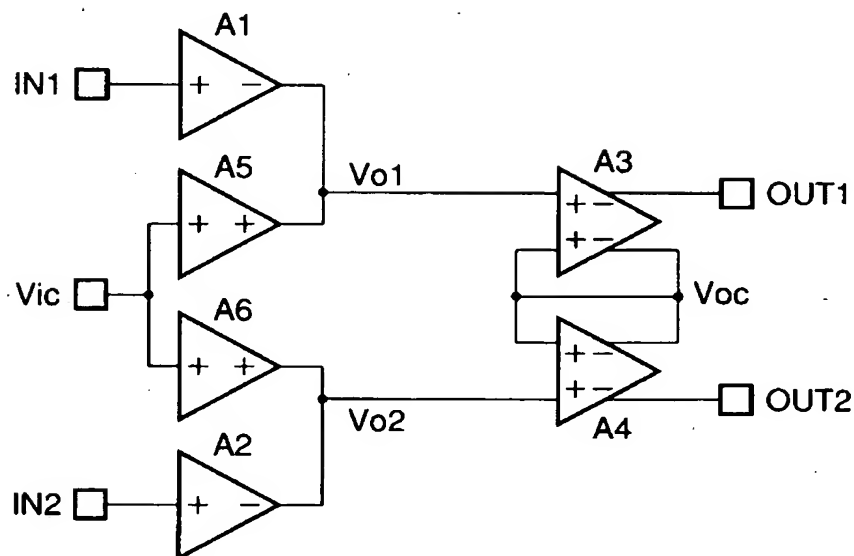
【図 4】



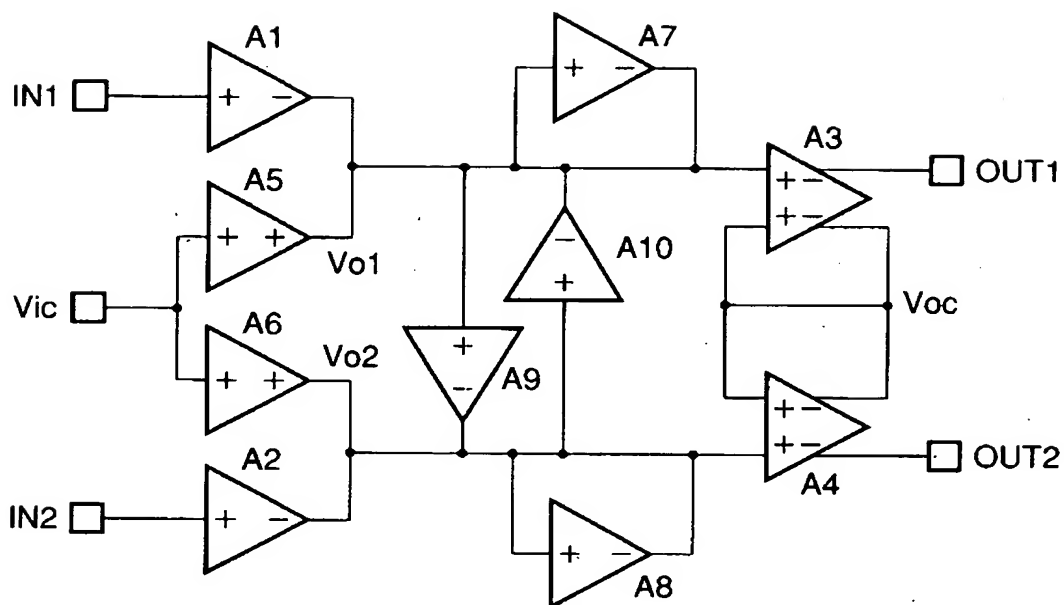
【図 5】



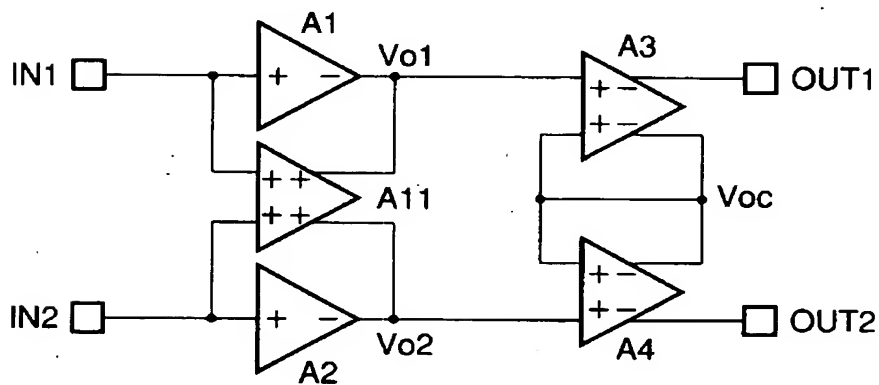
【図 6】



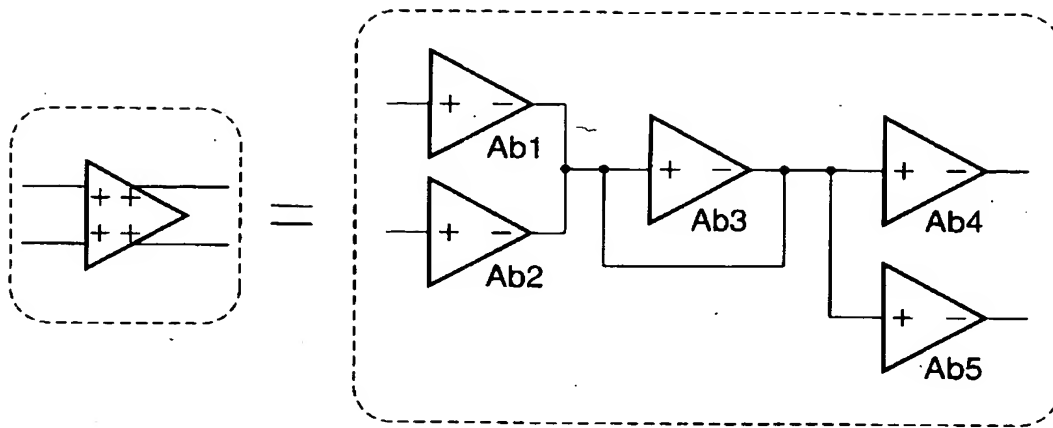
【図 7】



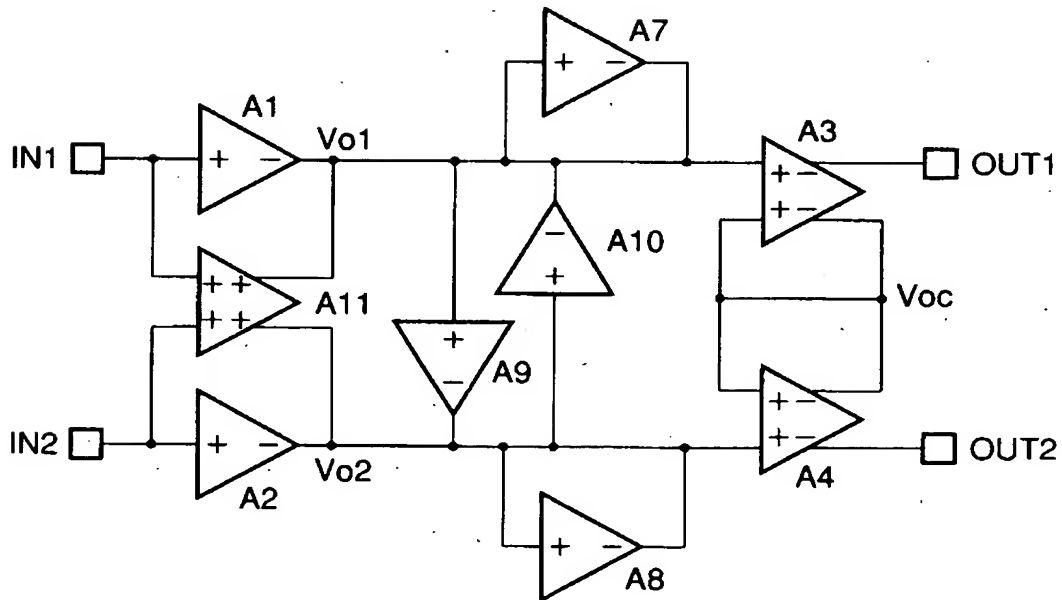
【図 8】



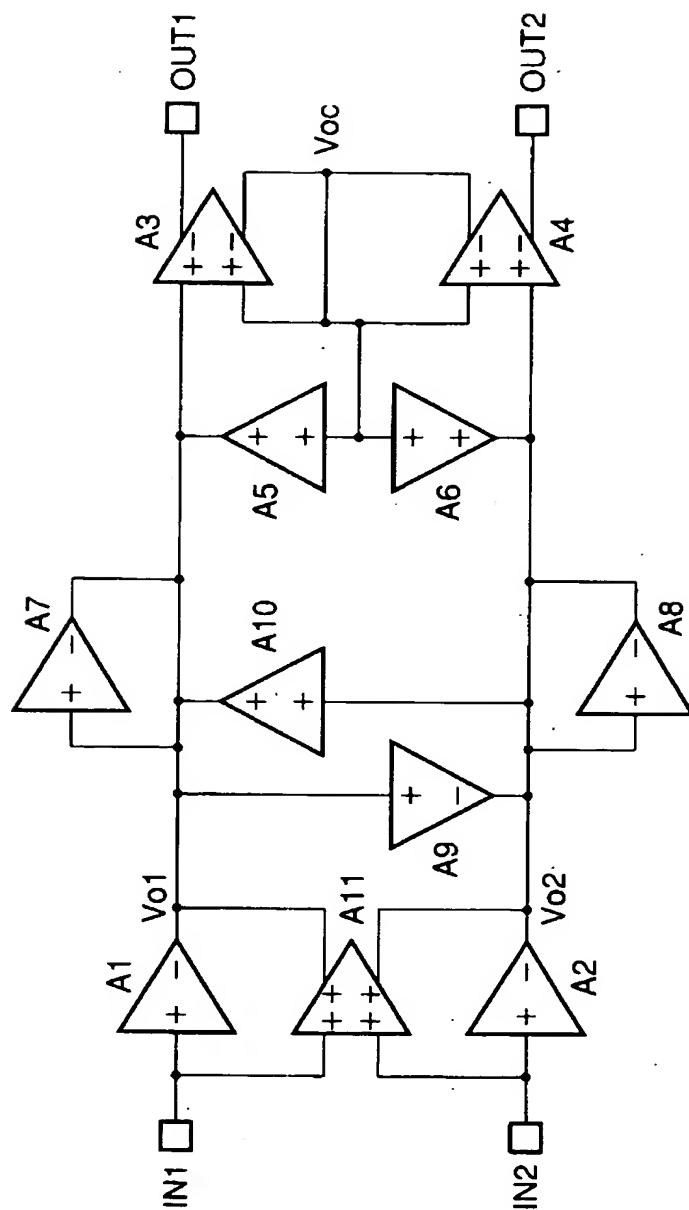
【図 9】



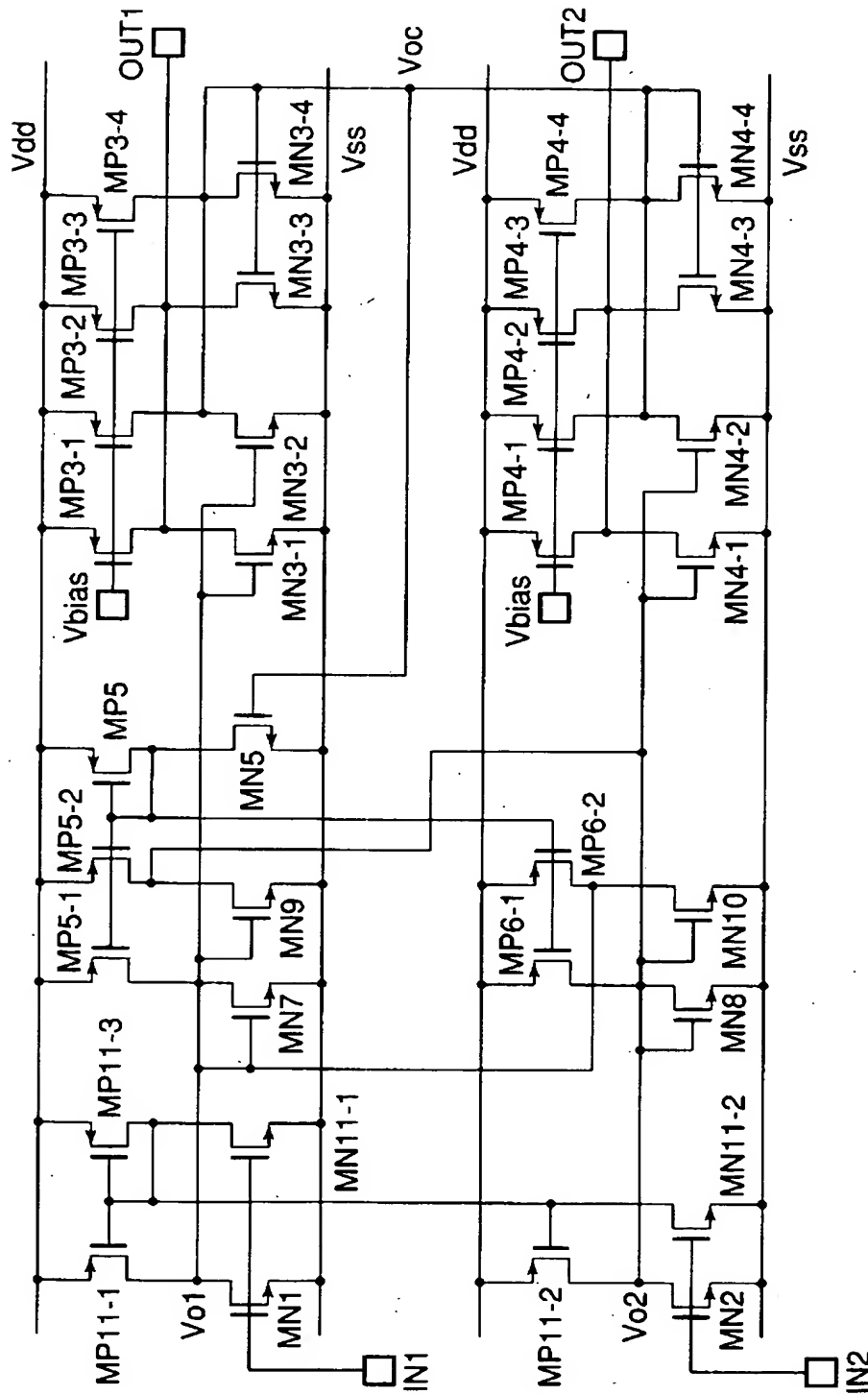
【図 10】



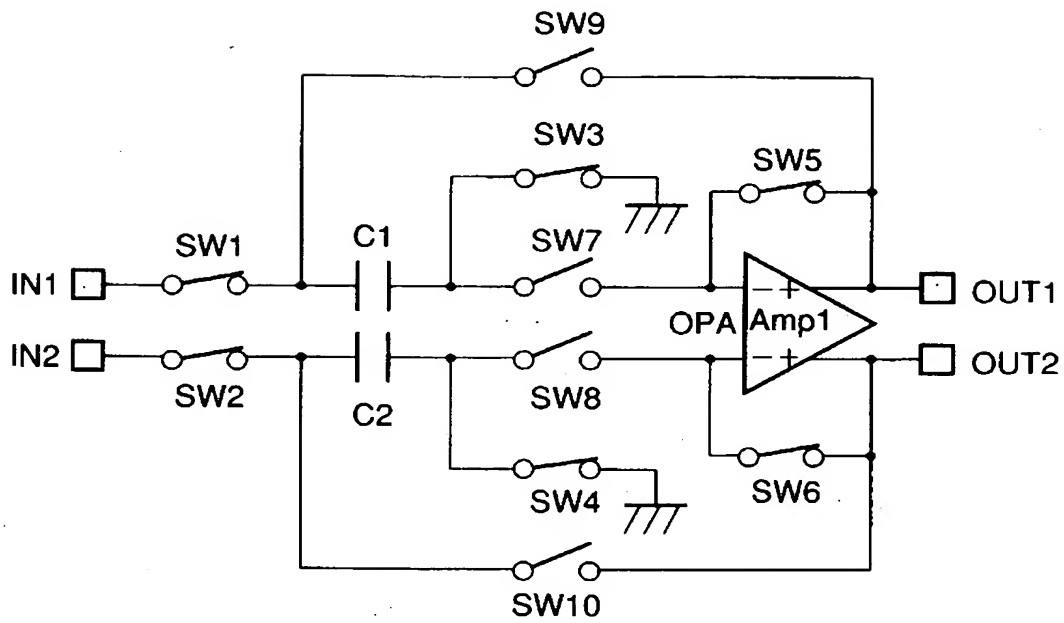
【図 11】



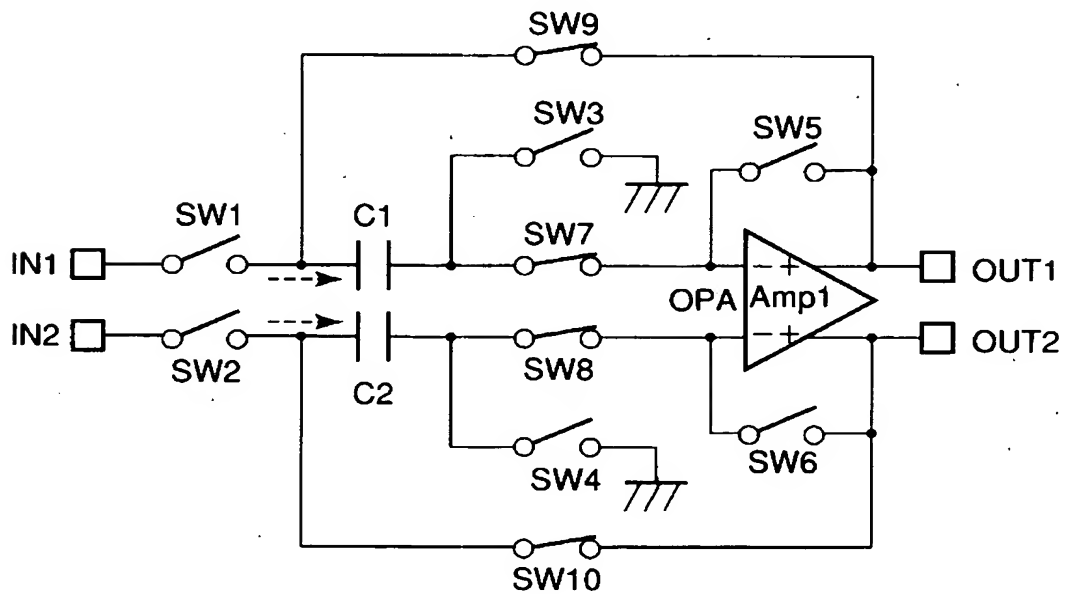
【図 12】



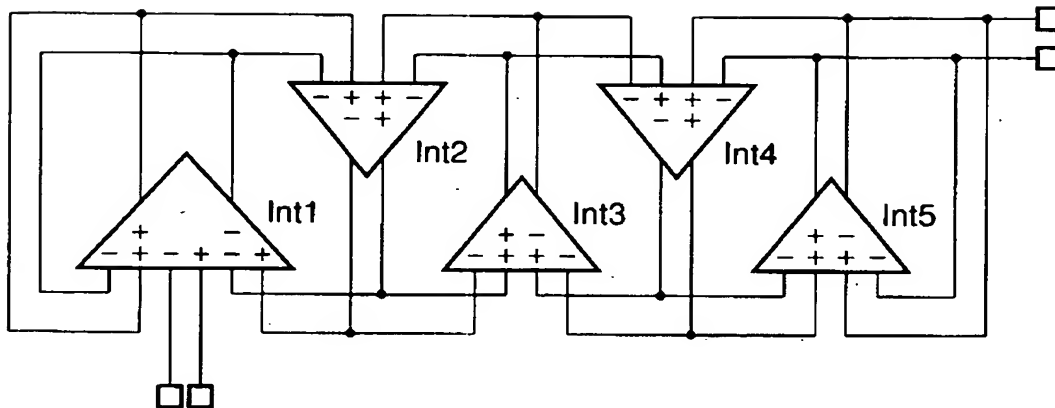
【図 13】



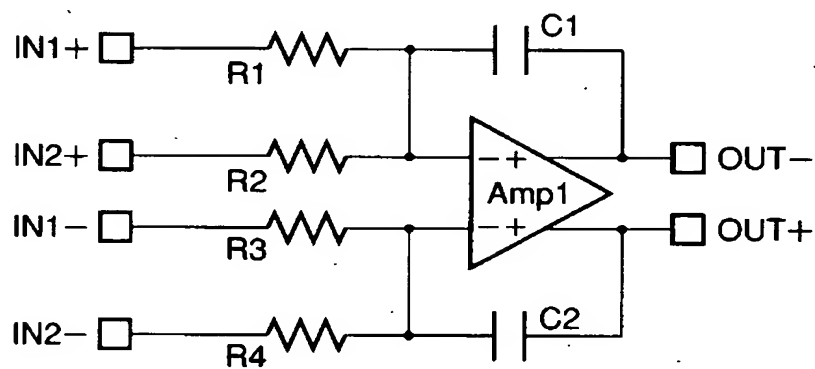
【図 14】



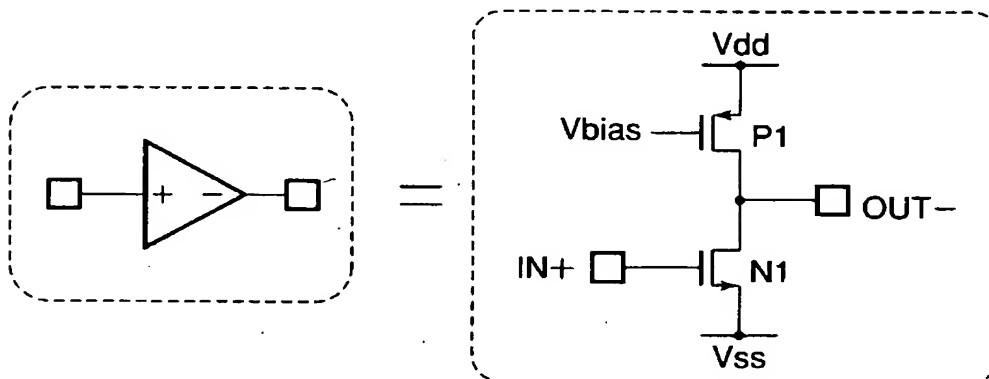
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 本発明は、同相信号を十分に抑圧し、差動信号の各々の経路における内部ノードの数を1個して周波数特性を改善した演算増幅回路を提供する。

【解決手段】 演算増幅回路は第1、第2の入力信号を入力する第1、第2の反転増幅回路（A1、A2）と、擬似同相出力信号と第1の反転増幅回路の出力信号を入力して第1、第2の出力信号を出力する第3の反転増幅回路（A3）と、擬似同相出力信号と第2の反転増幅回路の出力信号を入力して第3、第4の出力信号を出力する第4の反転増幅回路（A4）と、擬似同相出力信号を入力し第1、第2の反転増幅回路の出力に帰還する第1および第2の非反転増幅回路（A5、A6）とにより構成される。

【選択図】 図1

特願 2003-093575

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
 [変更理由] 住所変更
 住 所 東京都港区芝浦一丁目1番1号
 氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日
 [変更理由] 名称変更
 住所変更
 住 所 東京都港区芝浦一丁目1番1号
 氏 名 株式会社東芝